

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005 年 4 月 7 日 (07.04.2005)

PCT

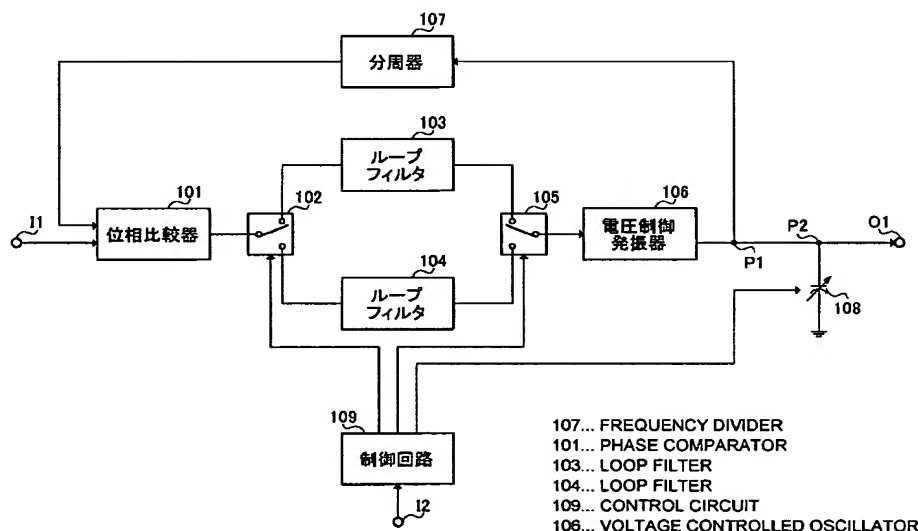
(10) 国際公開番号  
WO 2005/031978 A1

- (51) 国際特許分類: H03L 7/08
- (21) 国際出願番号: PCT/JP2004/013684
- (22) 国際出願日: 2004 年 9 月 17 日 (17.09.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2003-336800 2003 年 9 月 29 日 (29.09.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 佐々木 亮 (SASAKI, Makoto).
- (74) 代理人: 鷺田 公一 (WASHIDA, Kimihito); 〒2060034 東京都多摩市鶴牧 1 丁目 2 4-1 新都市センタービル 5 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

[続葉有]

(54) Title: PLL FREQUENCY SYNTHESIZER

(54) 発明の名称: PLL 周波数シンセサイザ



(57) Abstract: A PLL frequency synthesizer capable of improving the near C/N, shortening the lockup time and reducing the residual FM. In this apparatus, a phase comparator (101) phase compares a signal inputted from an input terminal (I1) with a signal outputted from a frequency divider. One of a plurality of loop filters (103,104) having different cutoff frequencies converts a current signal, which is in accordance with the phase difference, to a voltage signal. The voltage signal is supplied to a voltage controlled oscillator (106), which oscillates a frequency signal that is in accordance with the voltage signal supplied thereto. The oscillated signal is branched at a branching point (P1) and supplied to a frequency divider (107) and to an output terminal (O1). A variable capacitor (108) is connected to a branching point (P2) on a stage following the branching point (P1), and a control circuit (109) controls the capacitance in synchronization with the switching control of the loop filters.

(57) 要約: 近傍 C/N の向上、ロックアップタイムの短縮、及び、残留 FM の低減を行うことができる PLL 周波数シンセサイザ。この装置では、入力端 I1 から入力される信号と分周器から出力された信号が位相比較器 (101) で位相比較が行われ、位相差に応じた電圧信号がカットオフ周波数の異なる複数のループフィルタ (103) 又は (104) で電圧信号に変

[続葉有]



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,  
VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,  
TD, TG).

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

- 国際調査報告書
- 補正書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

換され、電圧制御発振器(106)に出力される。電圧制御発振器(106)は、入力された電圧信号に応じた周波数信号を発振する。発振信号は分岐点P1で分岐され、分周器(107)と出力端O1に出力される。可変容量コンデンサ(108)は、分岐点P1の後段でさらに分岐した分岐点P2に接続され、制御回路(109)がループフィルタの切り替え制御に連動して、容量が制御される。